

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145481
 (43)Date of publication of application : 28.05.1999

(51)Int.Cl. H01L 29/786
 H01L 21/265
 H01L 21/762
 H01L 27/12
 H01L 21/336

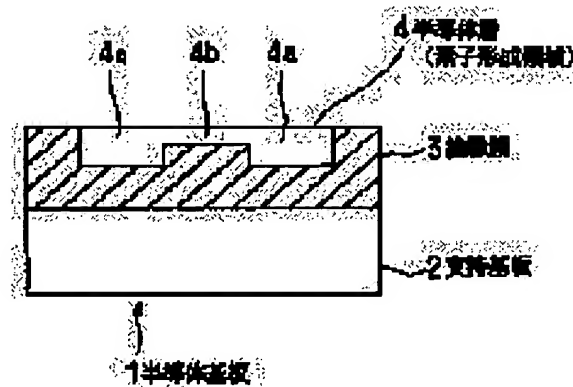
(21)Application number :	09-304490	(71)Applicant :	DENSO CORP
(22)Date of filing :	06.11.1997	(72)Inventor :	ONODA KUNIHIRO MATSUI MASAKI YAMAUCHI SHOICHI

(54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the degrees of freedom in element design, when an element forming region having different film thicknesses is formed as a semiconductor layer of a an SOI substrate.

SOLUTION: An SOI substrate 1 is constituted by forming an element forming region 4 as a semiconductor layer on a single-crystal silicon substrate 2 of a supporting substrate via an insulating film 3. The element forming region 4 is formed in such a state that a thick film region 4a and a thin film region 4b are connected, and that they are insulation-isolated from their surrounding part. For example, when a MOS transistor is formed, a region 4a is used as a source and drain region, and the region 4b is used as a channel region. The sufficient film thickness to form a silicide layer can be secured in the region 4a, and the film thickness suitable to use as a channel layer can be maintained in the region 4b.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145481

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 8 D

21/265

27/12

B

21/762

21/265

Q

27/12

21/76

D

21/336

29/78

6 2 1

審査請求 未請求 請求項の数17 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願平9-304490

(22) 出願日

平成9年(1997)11月6日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 小野田 邦広

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

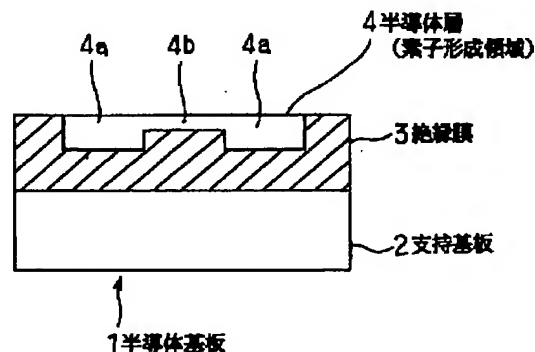
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体基板およびその製造方法

(57) 【要約】

【課題】 S O I 基板の半導体層として、異なる膜厚の素子形成領域を設ける構成として素子設計の自由度を向上する。

【解決手段】 S O I 基板1は、支持基板である単結晶シリコン基板2上に絶縁膜3を介して半導体層としての素子形成領域4が形成された構成である。素子形成領域4は、膜厚が厚い領域4 aと薄い領域4 bとが連結された状態に且つ周囲の部分とは絶縁分離された状態に形成されている。例えば、M O S トランジスタを形成する場合に、領域4 aをソース、ドレイン領域とし、領域4 bをチャネル領域とする。領域4 aでは、シリサイド層を形成するのに十分な膜厚を確保でき、領域4 bではチャネル層として利用するのに適した膜厚を維持する構成とすることができる。



【特許請求の範囲】

【請求項 1】 支持基板と、この支持基板上に形成された絶縁膜と、この絶縁膜を介して前記支持基板上に形成され、他の領域と電気的に分離されるように前記絶縁膜により島状に区画されて形成された半導体層と、を備えた半導体基板において、前記絶縁膜における前記支持基板と前記半導体層との間の領域は、部分的に膜厚が異なる複数の領域からなり、前記半導体層は、前記絶縁膜の異なる膜厚の領域に対して、領域毎に異なる膜厚を有することを特徴とする半導体基板。

【請求項 2】 請求項 1 に記載の半導体基板において、前記半導体層は、面内で絶縁分離された複数の素子形成領域を有することを特徴とする半導体基板。

【請求項 3】 請求項 2 に記載の半導体基板において、前記半導体層は、前記素子形成領域内で異なる膜厚となるように形成されたものを有することを特徴とする半導体基板。

【請求項 4】 請求項 2 に記載の半導体基板において、前記半導体層は、前記素子形成領域の間で異なる膜厚となるように形成されたものを有することを特徴とする半導体基板。

【請求項 5】 請求項 2 ないし 4 のいずれかに記載の半導体基板において、前記素子形成領域は、選択酸化膜により絶縁分離されていることを特徴とする半導体基板。

【請求項 6】 請求項 2 ないし 5 のいずれかに記載の半導体基板において、前記素子形成領域は、MOS トランジスタ形成用に対応させたものとして、ソース、ドレイン領域がチャネル領域よりも膜厚が厚くなるように形成されていることを特徴とする半導体基板。

【請求項 7】 支持基板と、この支持基板上に形成された絶縁膜と、この絶縁膜を介して前記支持基板上に形成され、他の領域と電気的に分離されるように前記絶縁膜により島状に区画されて形成された半導体層と、を備えた半導体基板において、前記絶縁膜における前記支持基板と前記半導体層との間の領域は、平坦化処理用の膜を部分的に膜厚が異なるように形成した複数の領域からなり、前記半導体層は、前記絶縁膜の異なる膜厚の領域に対して、領域毎に異なる膜厚を有することを特徴とする半導体基板。

【請求項 8】 支持基板上に絶縁膜を介した状態で半導体層が形成された構成の半導体基板の製造方法において、前記半導体層を形成するための半導体層用基板に、その半導体層となる部分を残して他の領域をエッチングして異なる深さ寸法の段差部を形成する段差形成工程と、エッチングされた表面に前記絶縁膜を形成する絶縁膜形

成工程と、

前記絶縁膜を介して前記半導体層用基板の表面にイオン注入を行なうことにより前記半導体層に対応した所定深さの平面内に剥離用のイオン注入層を形成するイオン注入層形成工程と、

前記半導体層用基板の前記イオン注入層を形成した側の面の段差を平坦化する平坦化処理工程と、

前記支持基板と前記半導体層用基板とを貼り合わせる貼り合わせ工程と、

10 前記貼り合わせた支持基板と半導体層用基板とを熱処理を行なうことにより前記イオン注入層部分で剥離して前記半導体層を形成する剥離工程とを設けたことを特徴とする半導体基板の製造方法。

【請求項 9】 請求項 8 に記載の半導体基板の製造方法において、

前記剥離工程に続いて、前記半導体層を所望の素子形成領域に対応して前記絶縁膜に達するように酸化膜を形成して絶縁分離するための選択酸化工程を設けたことを特徴とする半導体基板の製造方法。

20 【請求項 10】 請求項 8 または 9 に記載の半導体基板の製造方法において、

前記剥離工程に続いて、前記半導体層を所望の素子形成領域に対応して絶縁分離するために分離領域に対応する部分をエッチングにより除去する分離エッチング工程を設けたことを特徴とする半導体基板の製造方法。

【請求項 11】 請求項 8 ないし 10 のいずれかに記載の半導体基板の製造方法において、

30 前記剥離工程に続いて、剥離面に露出する半導体層を前記絶縁膜が露出するまで研磨することによりその露出した絶縁膜の面よりも深い領域まで形成されている半導体層を素子形成領域として絶縁分離する研磨工程を設けたことを特徴とする半導体基板の製造方法。

【請求項 12】 請求項 8 ないし 11 のいずれかに記載の半導体基板の製造方法において、

前記絶縁膜形成工程は、熱酸化膜を形成することを特徴とする半導体基板の製造方法。

【請求項 13】 請求項 8 ないし 12 のいずれかに記載の半導体基板の製造方法において、

40 前記イオン注入層形成工程は、前記半導体層用基板の表面に前記段差に応じたイオン注入調整材料を形成してイオン注入に対するイオン阻止能を面内に渡って同等となるようにする調整材料形成工程と、

前記イオン注入調整材料が形成された面に前記イオン注入を行なって前記イオン注入層を形成するイオン注入工程とからなることを特徴とする半導体基板の製造方法。

【請求項 14】 請求項 8 ないし 12 のいずれかに記載の半導体基板の製造方法において、

50 前記イオン注入層形成工程は、前記段差形成工程において形成された前記半導体層用基

板の表面の段差のレベルが同じ部分を残して他の領域にマスク部材を形成するマスク部材形成工程と、このマスク部材が形成された表面から所定深さにイオン注入層を形成するようにイオン注入を行なうイオン注入工程とを備え、前記マスク部材形成工程およびイオン注入工程を、前記段差のレベルが異なる領域に対応して繰り返し実施することにより、前記イオン注入層を形成することを特徴とする半導体基板の製造方法。

【請求項 1 5】 請求項 8 ないし 1 4 のいずれかに記載の半導体基板の製造方法において、前記平坦化処理工程は、前記平坦化処理膜を形成する平坦化処理膜形成工程と、前記平坦化処理膜を研磨することにより表面を平坦にする研磨工程とからなることを特徴とする半導体基板の製造方法。

【請求項 1 6】 請求項 8 ないし 1 2 のいずれかに記載の半導体基板の製造方法において、前記イオン注入層形成工程は、前記絶縁膜形成工程により前記半導体層用基板の段差が形成された表面に絶縁膜が形成された状態の表面に対して、イオン注入を行なうことにより、段差のレベルに対応した領域毎に深さの異なるイオン注入領域を形成し、前記剥離工程の後に、その剥離工程において剥離面に残る前記段差を解消するように研磨を行なう平坦化研磨工程を設けたことを特徴とする半導体基板の製造方法。

【請求項 1 7】 支持基板上に絶縁膜を介した状態で半導体層が形成された構成の半導体基板の製造方法において、前記半導体層を形成するための半導体層用基板に、その半導体層となる部分を残して他の領域をエッチングして異なる深さ寸法の段差部を形成する段差形成工程と、エッチングされた表面に前記絶縁膜を形成する絶縁膜形成工程と、前記半導体層用基板の前記絶縁膜を形成した側の面の段差を平坦化する平坦化処理工程と、前記支持基板と前記半導体層用基板とを貼り合わせる貼り合わせ工程と、前記支持基板に貼り合わせた前記半導体層用基板を除去して所望の膜厚の半導体層が残存するように研磨する研磨工程とを設けたことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、支持基板上に絶縁膜を介した状態で半導体層が形成された構成の半導体基板およびその製造方法に関する。

【0002】

【従来の技術】 支持基板上に絶縁膜を介して素子形成用の半導体層を形成してなる半導体基板としては、例え

ば、半導体層として単結晶シリコン薄膜を設ける構成の S O I (Silicon On Insulator) 基板がある。これは、支持基板となるシリコン基板上に酸化膜が形成され、その上に単結晶シリコン薄膜が形成された構造を有するもので、このような半導体基板を用いることにより、支持基板との間の絶縁分離工程を別途に実施する必要がなくなり、分離性能が良く、高い集積度で単結晶シリコン薄膜に素子を形成して集積回路を形成することができるものである。

【0003】 この場合、S O I 基板に設けている単結晶シリコン薄膜の製造方法としては、従来より、例えば、支持基板の表面に絶縁膜としての酸化膜等を形成し、これに単結晶シリコン基板を貼り合わせて密着状態とし、この単結晶シリコン基板を膜厚を僅かに残して研磨により除去することで支持基板の酸化膜上に単結晶シリコン薄膜として形成する方法がある。

【0004】 また、最近では、以下の 3 段階の工程を経て製造するようにした半導体薄膜製造技術が特開平 5 - 2 1 1 1 2 8 号に開示されている。以下に、その製造方法について簡単に説明する。

【0005】 まず、第 1 段階として、半導体基板中に水素ガスもしくは希ガスをイオン化して所定のエネルギーで加速して注入することにより、半導体基板の表面から所定深さに注入イオンが分布するようにしてイオン注入層を形成する。次に、第 2 段階として、この半導体基板 1 のイオン注入をした側の面に、少なくとも 1 つの剛性材料から形成された支持基板を貼り合わせなどの方法により結合させる。この場合、支持基板は、半導体製の基板を用いることが可能で最終的に S O I 基板を形成させるという点では、酸化膜のような絶縁膜を成膜させた状態としておくことが望ましい。

【0006】 次に、第 3 段階として、半導体基板および支持基板を結合させた状態で熱処理を施すことにより、イオン注入層に形成されるマイクロボイド（微小気泡）部分を境界として半導体基板と薄膜部分とが分離するように剥離させ、これにより支持基板上に絶縁膜を介して単結晶シリコン薄膜が接着された構造の S O I 基板が形成される。

【0007】 実際には、この剥離された面には、数 nm 程度の凹凸が存在するため、この剥離面に化学的機械的研磨（CMP）法により研磨処理を行なうと単結晶シリコン薄膜の表面を平坦に上げると共に、所定膜厚（例えば、0.1 μ m）となるように調整して S O I 基板として形成されるものである。

【0008】 上記の方法によれば、前述した貼り合わせと研磨により単結晶シリコン薄膜を形成する場合に比べて、膜厚の制御が行ない易く、極めて薄い単結晶シリコン薄膜を形成することが可能となる。加えて、貼り合わせた単結晶シリコン基板をほとんど研磨により除去する前述の方法に比べて、短時間で精度良く形成することが

できるという利点がある。

【0009】

【発明が解決しようとする課題】ところで、上述のような構成の半導体基板においては、単結晶シリコン薄膜を、基板の全面に渡って均一な膜厚で形成した構成のものが一般的であり、したがって、この単結晶シリコン薄膜に素子を形成する場合には、均一な膜厚で可能な範囲内で設計を行なって作り込んでいく必要があり、素子形成工程においては、設計上での制約を受ける場合があった。

【0010】このような事情が発生する一例としては、上述したように膜厚数十nm程度の単結晶シリコン薄膜を有するSOI基板を用いて高速動作を目的としたMOSトランジスタを形成する場合に、チャネル領域の膜厚としては適した膜厚であるが、ソース、ドレイン領域に低抵抗電極材料であるシリサイドを形成して電気的接続を行なう構成を採用しようとした場合に、単結晶シリコン薄膜の膜厚が薄いことに起因して発生する不具合がある。

【0011】これは、ソース、ドレイン領域の単結晶シリコン薄膜の表面にシリサイド用の金属を形成した後、シリサイドを形成するための熱処理を行なうと、単結晶シリコン薄膜の膜厚が数十nm程度しかない場合には、シリサイドを形成する金属膜に対して十分なシリコンが供給されなくなるため、シリサイドが凝集しやすくなり、これによって抵抗が増大したり、あるいはボイドが発生するという不具合である。

【0012】本発明は、上記事情に鑑みてなされたもので、その目的は、支持基板上に絶縁状態で形成する半導体層に対して、素子設計上での制約を少なくして設計の自由度の向上を図ることができるようにした半導体基板を提供すると共に、その半導体基板の製造方法を提供することにある。

【0013】

【課題を解決するための手段】請求項1の発明によれば、支持基板上に絶縁膜を介して形成する半導体層を他の領域と電気的に分離されるように絶縁膜により島状に区画した状態に設け、その半導体層の下層に位置する絶縁膜を部分的に膜厚が異なる複数の領域から形成することにより、半導体層を、絶縁膜の異なる膜厚の領域に対して、領域毎に異なる膜厚を有するように形成したので、その半導体層に素子を形成するにあたって、その形成しようとする素子に適した半導体層の膜厚を選定して集積化を図ることができるので、素子形成に対する設計の自由度が向上し、集積化する際に形成しようとする素子の制約を少なくすることができ、全体として形成しようとする半導体装置の高機能化を図ることができるようになる。

【0014】請求項2の発明によれば、半導体層を面内で絶縁分離した複数の素子形成領域を設けるので、あら

かじめ絶縁分離する領域の半導体層の膜厚を薄く形成することにより、簡単に絶縁分離した複数の素子形成領域を設けた半導体基板として用いることができるようになる。

【0015】請求項3の発明によれば、半導体層として形成する素子形成領域を、ひとつの素子形成領域内で異なる膜厚の部分の有するように形成したものを設けているので、素子形成を行なう上で構造的に必要となる各部の膜厚に対応して素子を設けることができ、素子を設計する上で部分的に必要な膜厚を最適な膜厚に設定して形成することができるようになり、設計の自由度の向上を図れると共に、形成する素子の電気的特性の向上を図ることができるようになる。

【0016】請求項4の発明によれば、半導体層を複数の素子形成領域の間で異なる膜厚となるように形成しているため、個々の素子に必要な膜厚を所望の膜厚に設定して形成することができるようになり、膜厚の異なる素子を混在した状態に形成することができ、設計の自由度の向上を図ることができるようになる。

【0017】請求項5の発明によれば、半導体層の各素子形成領域は、選択酸化膜により絶縁分離されているので、各素子形成領域毎に独立して対応する素子を形成することができるようになる。

【0018】請求項6の発明によれば、素子形成領域が、MOSトランジスタ形成用に対応させたものとして、ソース、ドレイン領域がチャネル領域よりも膜厚が厚くなるように形成されているので、ソース、ドレイン領域にシリサイド層を形成する場合に、シリサイド層としてチャネル領域と同等の膜厚では十分なシリサイド層を形成することができない条件であっても、シリサイドが凝集するなどの不具合を発生することなく十分なシリコンの供給が行なえるので、電気的特性の良好なMOSトランジスタを形成することができるようになる。

【0019】請求項7の発明によれば、支持基板上に絶縁膜を介して形成する半導体層を他の領域と電気的に分離されるように絶縁膜により島状に区画した状態に設け、その半導体層の下層に位置する支持基板との間に平坦化処理用の膜を形成して部分的に膜厚が異なる複数の領域を形成することにより、半導体層を、絶縁膜の異なる膜厚の領域に対して、領域毎に異なる膜厚を有するように形成したので、その半導体層に素子を形成するにあたって、その形成しようとする素子に適した半導体層の膜厚を選定して集積化を図ることができるので、素子形成に対する設計の自由度が向上し、集積化する際に形成しようとする素子の制約を少なくすることができ、全体として形成しようとする半導体装置の高機能化を図ることができるようになる。

【0020】請求項8の発明によれば、上述したような半導体層の膜厚が異なるように形成された半導体基板を製造する場合において、段差形成工程では、半導体層用

基板に半導体層となる部分を残して他の領域をエッチングして異なる深さ寸法の段差部を形成し、絶縁膜形成工程では、エッチングされた表面に絶縁膜を形成し、イオン注入層形成工程では、絶縁膜を介して半導体層用基板の表面にイオン注入を行なうことにより半導体層に対応した所定深さの平面内に剥離用のイオン注入層を形成し、続く平坦化処理工程では、半導体層用基板のイオン注入層を形成した側の面の段差を平坦化するように処理し、この後、貼り合わせ工程および剥離工程を実施することにより、支持基板と前記半導体層用基板とを貼り合わせた状態で熱処理を行なってイオン注入層部分で剥離して半導体層を形成する。これにより、簡単な工程を経ることにより上述した半導体基板を得ることができるようになる。

【0021】請求項9の発明によれば、上述の場合において、剥離工程に続いて、選択酸化工程を実施することにより、半導体層を所望の素子形成領域に対応して絶縁膜に達するように酸化膜を形成して絶縁分離するので、半導体層を必要素子形成領域毎に絶縁分離した状態とすることができ、この場合に、例えば、分離領域に対応する部分の半導体層の膜厚を薄く形成しておくことにより、簡単に素子形成領域間を絶縁分離することができるようになる。

【0022】請求項10の発明によれば、剥離工程に続いて、分離エッチング工程を実行することにより、半導体層を所望の素子形成領域に対応して絶縁分離するために分離領域に対応する部分をエッチングにより除去するので、半導体層を必要素子形成領域毎に絶縁分離した状態とすることができ、この場合に、例えば、分離領域に対応する部分の半導体層の膜厚を薄く形成しておくことにより、簡単に素子形成領域間を絶縁分離することができるようになる。

【0023】請求項11の発明によれば、剥離工程に続いて研磨工程を実施することにより、剥離面に露出する半導体層を絶縁膜が露出するまで研磨してその露出した絶縁膜の面よりも深い領域まで形成されている半導体層を素子形成領域として絶縁分離することができるようになる。なお、この場合に、剥離面を研磨する工程を設けている場合には、その剥離面処理の研磨工程に続けて連続的に行なうことにより半導体層を絶縁分離することができるので、工程数を少なくして簡単に形成することができるようになる。

【0024】請求項12の発明によれば、段差形成工程の後に形成する絶縁膜を熱酸化膜としたので、最終的に半導体層として設けた領域がこの熱酸化膜により支持基板側と絶縁された状態として形成することができ、電気的に優れた絶縁状態を得ることができるようになる。

【0025】請求項13の発明によれば、イオン注入層形成工程として、半導体層用基板の表面に段差に応じたイオン注入調整材料を形成してイオン注入に対するイオ

ン阻止能を面内に渡って同等となるようにする調整材料形成工程およびそのイオン注入調整材料が形成された面にイオン注入を行なうことによりイオン注入層を形成するイオン注入工程を設けているので、イオン注入を行なう面に段差がある場合でも、1回のイオン注入を行なうことにより所定深さの面内にイオン注入層を形成することができるようになる。

【0026】請求項14の発明によれば、イオン注入層形成工程として、段差形成工程において形成された半導体層用基板の表面の段差のレベルが同じ部分を残して他の領域にマスク部材を形成するマスク部材形成工程およびそのマスク部材が形成された表面から所定深さにイオン注入層を形成するようにイオン注入を行なうイオン注入工程を、段差のレベルが異なる領域に対応して繰り返し実施することにより所定深さの面内にイオン注入層を形成するので、例えば、フォトリソトなどをマスク部材として用いる簡単な方法によりイオン注入層を形成することができるようになる。

【0027】請求項15の発明によれば、平坦化処理工程として、平坦化処理膜形成工程により半導体層用基板の段差を形成した表面に平坦化処理膜を形成し、この平坦化処理膜を研磨工程により研磨して表面を平坦に形成するので、貼り合わせ工程において十分に貼り合わせ可能な平坦な面を得ることができるようになり、確実に支持基板との接合を行なうことができるようになる。

【0028】請求項16の発明によれば、イオン注入層形成工程として、絶縁膜形成工程により半導体層用基板の段差が形成された表面に絶縁膜が形成された状態の表面に対してそのままイオン注入を行なうことにより、段差のレベルに対応した領域毎に深さの異なるイオン注入領域を形成しておき、この状態で貼り合わせ工程および剥離工程を実施したときに剥離面に現れる段差を、次の平坦化研磨工程により研磨を行なって平坦化するので、イオン注入層形成工程に先立つ工程数を少なくして簡単に形成することができるようになる。

【0029】請求項17の発明によれば、前述したような半導体層の膜厚が異なるように形成された半導体基板を製造する場合において、段差形成工程では、半導体層用基板に半導体層となる部分を残して他の領域をエッチングして異なる深さ寸法の段差部を形成し、絶縁膜形成工程では、エッチングされた表面に絶縁膜を形成し、平坦化処理工程では、半導体層用基板に形成されている段差を平坦化するように処理し、この後、貼り合わせ工程で支持基板と貼り合わせた状態とし、平坦化研磨工程では、半導体層用基板側から基板を研磨して所望の膜厚の半導体層が残存するように形成することにより、半導体層を設けた状態の半導体基板を得ることができるようになる。

【0030】

【発明の実施の形態】（第1の実施形態）以下、本発明

の第1の実施形態について図1ないし図6を参照しながら説明する。図1は半導体基板であるSOI基板1の模式的断面を示すもので、ここではMOSトランジスタ形成用のものを例にとって示している。SOI基板1は、支持基板としての単結晶シリコン基板2上に絶縁膜としてのシリコン酸化物など（製造上の都合で必要に応じて多結晶シリコン膜なども用いた構成とする）からなる絶縁膜3が形成されている。

【0031】この絶縁膜3の表面には、MOSトランジスタを形成するための半導体層として単結晶シリコンによりなる素子形成領域4が島状に設けられていて、その周囲には絶縁膜3の表面が露出するように形成されている。素子形成領域4は、MOSトランジスタの構造に対応して形成されており、そのソース、ドレインとなる領域4aは膜厚が厚く（例えば100nm程度）形成され、チャネルとなる領域4bは膜厚が薄く（例えば50nm程度）形成されている。

【0032】図2は、このような構成のSOI基板1を用いてMOSトランジスタ5を形成した場合の模式的な断面を示すもので、素子形成領域4のチャネル領域4bにはp型あるいはn型の不純物が導入された状態に形成され、その表面にはゲート酸化膜6が形成されると共に多結晶シリコンからなるゲート電極7が形成されている。ゲート電極7のソース領域およびドレイン領域と対向する部分には絶縁膜からなるサイドウォール8が形成されている。

【0033】ソース、ドレイン領域4aには、チャネル領域4bとは反対の導電型の不純物が導入されており、その表面側にはゲート電極7、サイドウォール8および絶縁膜3をマスク部材として形成されたシリサイド層9が設けられている。このシリサイド層9は、低抵抗化を図るためのもので、ここでは60nm程度の深さまで形成されている。この場合、シリサイド層9は、チタン、タングステン、コバルト、ニッケルなどの高融点金属とシリコンとを熱処理により化合させて形成している。

【0034】全面を覆うように酸化膜などのパッシベーション膜10が形成され、上述したシリサイド層9部分には開口部が形成され、ソース、ドレイン領域4aと電気的接触をとるためのアルミニウム電極11がパターンニングされている。なお、ゲート電極7に対しては、図示しない別の部分で電気的接続が取られるようになってい

る。

【0035】上記構成の場合に、素子形成領域4のソース、ドレイン領域4aは、チャネル領域4bの深さ寸法に比べて深く形成されているので、シリサイド層9を形成する際に、十分にシリコンが供給されるのでシリサイドの凝集の発生がなくなり、抵抗の増大やボイドの発生を抑制することができるようになる。また、この場合に、チャネル領域4bの深さ寸法はソース、ドレイン領域4aの深さ寸法の制約を受けることなく独自に設定す

ることができるので、素子の電気的特性を損なうことなくシリサイド層9を形成することができる。

【0036】次に、上記したSOI基板1の製造方法について図3ないし図6も参照して説明する。図3は製造工程の流れを概略的に示すもので、図4および図5は各製造工程における模式的な断面を示すものである。まず、半導体層としての素子形成領域4を形成するための半導体層用基板である単結晶シリコン基板12に対して、次のようにして段差形成工程としてのパターンエッチング工程P1および熱酸化工程P2を実施する。

【0037】パターンエッチング工程P1では、図4(a)に示すように、単結晶シリコン基板12の表面に凹部12a、12bを形成する。これは、凸状となつて残る部分12cが素子形成領域4のソース、ドレイン領域4aとなるもので、この部分を残すようにフォトリソグラフィ処理によってマスク部材をパターンニングしてドライエッチングなどの方法を用いて所定深さ寸法までエッチングを行なって形成する。次に、熱酸化工程P2では、通常の熱酸化を行なうことにより、エッチングにより凹凸が形成された単結晶シリコン基板12の表面に熱酸化膜13を所定膜厚で形成する（同図(b)参照）。

【0038】この後、単結晶シリコン基板12の内部の所定深さの同一面内に剥離用のイオン注入層14（同図(c)参照）を形成するために、これに先だて、次のような前処理工程を行なう。すなわち、この実施形態においては、イオン注入層14を1回のイオン注入により形成すべく、イオン注入調整部材を設ける調整部材形成工程を行なう。

【0039】この調整部材形成工程としては、多結晶シリコン膜形成工程P3を実施して、多結晶シリコン膜15を全面に形成して所定の領域のみを残すように除去する。この場合、イオン注入調整部材としての多結晶シリコンは、図4(a)に示す単結晶シリコン基板12の表面からイオン注入を行なった場合に生ずる凹凸の段差に応じた注入深さの差を無くすように設けるもので、基板と同じシリコンを材料としているので、ほぼ同じイオン注入阻止能を有する。このことを利用して、単結晶シリコン基板12に形成した凹部12a、12bと同じ深さまで多結晶シリコン膜15を残すように除去してパターンニングする（同図(b)参照）。

【0040】そして、イオン注入層形成工程P4では、上述のようにしてパターンニングで形成したイオン注入調整材料の上から水素イオン（プロトン）あるいは希ガスのイオンを所定深さに所定量だけ注入し、イオン注入層14を形成する（同図(c)参照）。この場合、水素イオンを注入することを前提とし、そのイオン注入量は、 1×10^{16} atoms/cm² 以上とし、好ましくは 5×10^{16} atoms/cm² 以上程度とする。また、加速電圧は注入するイオン種が単結晶シリコン基板12の凹部12aの面よりも所定深さだけ進入した位置にイオン注入層

14が形成されるように設定する。

【0041】次に、多結晶シリコン膜剥離工程P5では、イオン注入調整材料として用いた多結晶シリコン膜15をエッチングにより除去し、熱酸化膜13の表面を露出させるようにする(同図(d)参照)。続けて、平坦化処理工程として、酸化膜形成工程P6および研磨工程P7を実施する。

【0042】酸化膜形成工程P6では、単結晶シリコン基板12に形成している熱酸化膜13の表面にCVD法などにより平坦化処理用の膜としての酸化膜16を形成する(同図(d)参照)。この酸化膜16の膜厚は、少なくとも単結晶シリコン基板12に形成されている凹部12aの段差の寸法以上となるように設定し、続く研磨工程P7では酸化膜16を研磨することにより段差をなくした平坦な面に形成する(同図(e)参照)。これにより、絶縁膜3が熱酸化膜13および研磨された酸化膜16により形成される。

【0043】続いて、貼り合わせ工程P8では、上述のようにして形成した単結晶シリコン基板12の絶縁膜3の表面に支持基板としての単結晶シリコン基板2を、親水化処理を行なった上で、貼り合わせる(図5(a)参照)。なお、この貼り合わせに先だって行なう親水化処理においては、例えば、硫酸(H_2SO_4)と過酸化水素水(H_2O_2)とを4:1で混合した溶液中で90℃~120℃に保持した状態で洗浄を行なった後、純水洗浄を順次行ない、スピンドライにより基板表面に吸着する水分量を制御した状態として両者を貼り合わせて密着させる。これにより、2枚の単結晶シリコン基板2、12はそれぞれの表面に形成されたシラノール基および表面に吸着した水分子の水素結合によって接着される。

【0044】この後、剥離工程P9では、貼り合わせた単結晶シリコン基板2、12を2段階に分けて熱処理を行なう。すなわち、第1の熱処理では、400℃~600℃の範囲で、例えば500℃程度で熱処理を行なうことにより、単結晶シリコン基板12に形成しているイオン注入層14の部分つまり水素の高濃度領域層部分に、欠陥が集中されて単結晶シリコン基板12の表層側に単結晶シリコン薄膜17が分離するようにして剥離する。また、この熱処理で、単結晶シリコン基板12の絶縁膜3と支持基板2との接着部分では、脱水縮合反応が生じて両者の接着強度が高くなる。

【0045】これにより、単結晶シリコン基板2上に絶縁膜3を介した状態で素子形成領域4を含んだ単結晶シリコン薄膜17を形成した構造を得ることができる。なお、このようにして得られた単結晶シリコン薄膜17の表面は、イオン注入層14の剥離面であるから、数nmから数十nm程度の凹凸が生じており、このような段差は後工程で必要に応じて平坦な面となるように処理する必要がある。

【0046】次に、第2の熱処理では、貼り合わせた絶

縁膜3と単結晶シリコン基板2との間の密着度を高めるために、さらに高温で熱処理を行なう。この第2の熱処理の処理温度は、例えば、1000℃~1200℃程度の範囲で、好ましくは1100℃程度で行なう。これにより、接着面では、脱水縮合反応が生じて両者はより強固な状態で接合されるようになる。

【0047】なお、上述の熱処理工程においては、窒素雰囲気中あるいは酸素雰囲気中において熱処理を行なうことが好ましい。そして、酸素雰囲気中で第2の熱処理を行なう場合には、その熱処理中に剥離面の単結晶シリコン薄膜17部分に同時に酸化膜が形成されることになる。この場合、酸化膜が形成される過程で、上述した単結晶シリコン薄膜17の剥離表面に残っている凹凸が吸収されるようになるので、この酸化膜をエッチングにより剥離することで剥離表面の平坦度は改善される。

【0048】さて、次の研磨工程P10では、単結晶シリコン薄膜17の表面に残る微小な凹凸による段差およびイオン注入層形成工程P4の実施時に発生している欠陥層を除去すべくCMP(化学的機械的研磨)法などにより研磨処理を行なう(同図(b)参照)。このとき、研磨により除去する単結晶シリコン薄膜17の膜厚は、基板側に残る素子形成領域4におけるチャネル領域4b部分の膜厚が必要な膜厚となるように制御しながら行なう。なお、この研磨工程P10の終了時点では、半導体層としての単結晶シリコン薄膜17は、多数の素子形成領域4として設けられるが、この状態では隣接する素子形成領域4同士が表層部分において連結した状態に形成されている。

【0049】この場合、前述したように、第2の熱処理において酸素雰囲気中で行なうことにより剥離面に酸化膜を形成した場合には、これによって凹凸が吸収されると共に研磨に要する膜厚を除去したことになるので、研磨開始時点であらかじめ凹凸を吸収するように研磨したのと同等の効果を得ることができ、研磨量を少なくすることができて、研磨の制御性を高めることができるようになる。

【0050】次に、選択酸化膜形成工程P11では、素子形成領域4と他の素子形成領域4とを絶縁分離するために、選択酸化つまりLOCOS膜18を形成する。これは、一般的に行なわれる方法で、素子形成領域4の表面部分をシリコン窒化膜などを設けて酸化しないようにマスクし、その状態で熱酸化処理を行なうことにより、素子形成領域4間の分離領域の単結晶シリコン薄膜17のみを選択的に酸化してLOCOS膜18を形成することにより分離するものである。

【0051】この場合に、LOCOS膜18を形成する領域の単結晶シリコン薄膜17の膜厚は分離用として薄く形成されているので、簡単に絶縁分離した構造を形成することができるようになる。これによって、図1に示したものと同等のSOI基板1Aを形成することができ

る。

【0052】このような本実施形態によれば、SOI基板1Aとして、支持基板としての単結晶シリコン基板2上に絶縁膜3を介した状態で領域に応じて膜厚の異なる素子形成領域4を周囲と絶縁状態となるように形成したので、その素子形成領域4中に種々の素子を形成する場合に、その素子の構造に対応して領域毎に適した膜厚の素子形成領域4とすることができ、素子形成の自由度を高めることができるようになる。

【0053】また、素子形成領域4をソース、ドレイン領域4aの膜厚を厚く、チャンネル領域4bの膜厚を薄く形成したので、チャンネル領域4bの膜厚の制約を受けることなくソース、ドレイン領域4aにおいてシリサイド層9を形成することができるようになり、シリサイドの凝集の発生を抑制して低抵抗の特性の良好なものを得ることができるようになる。そして、このようなSOI基板1Aを上記したような工程P1～P11を経て製造するようにしたので、特殊な工程を付加することなく簡単な工程を経ることにより形成することができるようになる。

【0054】なお、上記実施形態においては、最終工程である選択酸化膜形成工程P11では、LOCOS膜18を形成することにより素子形成領域4間を絶縁分離するようにしたが、これに限らず、例えば、対応する領域の単結晶シリコン薄膜17を部分的にエッチング除去することにより、図6に示すようなメサ状の素子形成領域4を形成することでも絶縁分離することができ、これによって図1に示したSOI基板1と同等のSOI基板1Bを得ることができる。

【0055】また、上記実施形態においては、平坦化処理材料としてCVD法により形成する酸化膜16のみとしたが、これ以外に、酸化膜と多結晶シリコン膜とを積層した構成としてその多結晶シリコン膜を研磨することにより平坦化する工程とすることもできる。

【0056】(第2の実施形態)図7および図8は、本発明の第2の実施形態を示すもので、第1の実施形態と異なるところは、SOI基板1に代えてSOI基板19を設けたところで、これは、図8(c)に示す構成つまり図1に示したものと同等のSOI基板19を形成するようにしたところである。すなわち、この実施形態におけるSOI基板19においては、絶縁分離を行なうためにLOCOS膜18を形成するのではなく、隣接する素子形成領域4間を直接絶縁膜3により分離した構成としているところが異なる。

【0057】図7および図8は製造工程の模式的断面を示すもので、以下、これらの図を参照して製造過程について説明する。工程的には、内容が多少異なるが項目は略同じであり、最終段階での選択酸化膜形成工程P11は実施する必要がない。まず、パターンエッチング工程P1では、第1の実施形態と同様に所望の領域に凹部を

設けて段差を形成する。

【0058】このとき、例えば、絶縁分離を行なう領域に対応する部分のエッチング深さd1は、素子形成領域4のチャンネル領域4bに対応する部分のエッチング深さd2に比べて深くなるように($d1 > d2$)形成する(図7(a)参照)。また、このように異なる深さとなるようにエッチングをする場合には、深さに応じてフォトリソグラフィ処理によってマスクパターンを形成し、ドライエッチング処理を行なうことにより形成する。

【0059】この後、熱酸化工程P2を経てエッチング面に熱酸化膜13を形成し、多結晶シリコン膜形成工程P3において、イオン注入調整部材としての多結晶シリコン膜15を形成する(同図(b)参照)。この場合、パターンニングする多結晶シリコン膜15の膜厚は、エッチング深さd1、d2のそれぞれに応じて異なるように形成する。

【0060】これは、それぞれの領域のシリコンの厚さが異なることに起因して次の工程であるイオン注入層形成工程P4においてイオンの阻止能が異なるからである。ここで、多結晶シリコンはシリコンとほぼ同等のイオン阻止能を有するから、多結晶シリコン膜15を全面に形成した後に、単結晶シリコン基板12の表面が凹凸のない平面状態となるように多結晶シリコン膜15をエッチング処理して除去することで面内ではほぼ同等な阻止能となる状態に形成することができる。つまり、単結晶シリコン基板12の表面の凹部を平坦になるように多結晶シリコン膜15a、15bなどで埋めるように形成するのである。

【0061】なお、多結晶シリコン膜15が凹部を平坦に埋めるように形成する方法以外に、上述の原理にしたがって、例えば、多結晶シリコン膜15を単結晶シリコン基板12の表面に形成した状態で、研磨を行なうことにより凹部だけではなく、全面に残した状態で研磨を停止しておくことでも同等のイオンの阻止能を得ることができる。

【0062】この後、イオン注入層形成工程P4を実施して1回のイオン注入を行なうことにより、所定深さにイオン注入層14を形成し(同図(c)参照)、多結晶シリコン膜剥離工程P5で多結晶シリコン膜15を剥離する。続いて、酸化膜形成工程P6にて形成した酸化膜16(同図(d)参照)を研磨工程P7で研磨して平坦な面を形成する(同図(e)参照)。続いて、貼り合わせ工程P8で、支持基板としての単結晶シリコン基板2と貼り合わせ(図8(a)参照)、剥離工程P9で熱処理を行なうことによりイオン注入層14部分での剥離を行なう(同図(b)参照)。

【0063】次に、研磨工程P10において、剥離された面を前述同様にして研磨処理を行なうが、この研磨処理では、研磨する単結晶シリコン薄膜17の面に対して、絶縁膜3をストップパとして研磨する。すなわち、単

結晶シリコン薄膜 17 を研磨するうちに絶縁膜 3 の一部が露出してくると、その絶縁膜 3 を同時に研磨することになるが、シリコンとは材質が異なることに起因して研磨速度が異なると共に、研磨による発熱量が増大するので、この発熱量の増大を温度変化として検出することにより研磨処理を停止することができる。これにより、単結晶シリコン薄膜 17 の膜厚が薄い部分が研磨により除去され、素子形成領域 4 毎に絶縁膜 3 で分離された状態に形成されるようになる（同図（c）参照）。

【0064】このような第 2 の実施形態によれば、パターンエッチング工程 P 1 において異なる深さにエッチング処理を行なって段差を形成しておくことにより、第 1 の実施形態において設けた最終工程である選択酸化膜形成工程を不要として、研磨工程 P 10 を実施したときに絶縁膜 3 を研磨ストップとして用いることにより絶縁分離することができるようになる。

【0065】また、第 2 の実施形態によれば、異なる段差を有する場合でもイオン注入調整部材として下地の単結晶シリコン基板 12 とほぼ同じイオン阻止能である多結晶シリコン膜 15 を用いるので、凹部を埋めるように平坦に多結晶シリコン膜 15 を形成することで 1 回のイオン注入でイオン注入層 14 を形成することができるようになる。

【0066】（第 3 の実施形態）図 9 および図 10 は本発明の第 3 の実施形態を示すもので、第 2 の実施形態と異なるところは、イオン注入層を形成せずに SOI 基板 19 を製造するようにしたところである。図 9 はその製造工程の流れを概略的に示すものであり、図 10 は各工程における模式的断面を示している。

【0067】まず、パターンエッチング工程 P 1 では、第 2 の実施形態と同様に、半導体層用基板としての単結晶シリコン基板 12 の表面にエッチング処理を行なって、素子形成領域 4 の形状に対応した凹部となるように必要な段差を設けるようにする（図 10（a）参照）。次に、単結晶シリコン基板 12 の段差を有する表面に対して、熱酸化工程 P 2 にて熱酸化膜 13 を形成すると共に、酸化膜形成工程 P 6 にて CVD 法などにより平坦化処理用の酸化膜 16 を形成し、続く研磨工程 P 7 にて表面の凹凸がなくなるまで研磨して平坦な面となるようにして絶縁膜 3 を形成する（同図（b）参照）。

【0068】次に、貼り合わせ工程 P 8 において、単結晶シリコン基板 12 に形成した絶縁膜 3 の面に支持基板としての単結晶シリコン基板 2 を貼り合わせ（同図（c）参照）、この状態としてから研磨工程 P 11 により、単結晶シリコン基板 12 の裏面側から研磨を行ない、不要な部分を除去することにより素子形成領域 4 を残した状態となるようにする（同図（d）参照）。この場合、研磨処理の停止検出は、前述同様にして絶縁膜 3 をストップとして利用することができる。これによって、SOI 基板 19 を形成することができる。

【0069】なお、上述のようにして SOI 基板 19 を形成する際に、貼り合わせ工程 P 8 において貼り合わせを行なった面の結合力を高めるために、熱処理を必要に応じて行なうと良い。また、熱酸化工程 P 2 は必要に応じて行なえば良く、電気的特性の面からは熱酸化膜を設けることが好ましく、特性面で必要ない場合にはこの熱酸化工程 P 2 を省略することができる。

【0070】このような第 3 の実施形態によれば、イオン注入層形成工程を不要とすることにより、これに関連した工程についても工程数を少なくすることができ、半導体層用基板である単結晶シリコン基板 12 は研磨により消費するが、全体として簡単な工程を経ることにより SOI 基板 19 を得ることができるようになる。

【0071】（第 4 の実施形態）図 11 ないし図 13 は本発明の第 4 の実施形態を示すもので、第 2 の実施形態と異なるところは、イオン注入層形成工程 P 4 に先立ってイオン注入調整材料としての多結晶シリコン膜を設ける調整材料形成工程としての多結晶シリコン膜形成工程 P 3 を実施しないところである。

【0072】図 11 は工程の概略を示し、図 12 および図 13 は各工程での模式的断面を示している。パターンエッチング工程 P 1 では、第 2 の実施形態と同様にして、半導体層用基板としての単結晶シリコン基板 12 に対して、エッチング処理を行なって異なる深さの凹部 12c、12d、12e を形成し（図 12（a））、続く熱酸化工程 P 2 では、熱酸化処理を行なって熱酸化膜 13 を形成する（同図（b）参照）。

【0073】続いて、イオン注入層形成工程 P 4 では、単結晶シリコン基板 12 の熱酸化膜 13 を介してイオン注入を行なう。この場合、単結晶シリコン基板 21 内に形成されるイオン注入層 20 は、表面に形成されている凹部 12c、12d、12e の深さに応じて異なる深さに形成されることになるので、表面の段差の形状を反映するように領域に応じて深さの異なるイオン注入層 20a、20b、20c が形成されるようになる（同図（c）参照）。この場合、イオン注入層 20a～20c を形成するに際しては、一番浅い位置に形成されるイオン注入層 20c の深さが、最終的に形成しようとする単結晶シリコン薄膜 17 の膜厚と同等以上程度となるように設定する。

【0074】次に、第 2 の実施形態と同様にして、酸化膜形成工程 P 6 により、平坦化処理膜としての酸化膜 16 を CVD 法などにより形成し、研磨工程 P 7 により、研磨を行なって表面を平坦化し絶縁膜 3 を形成する（同図（d）参照）。続いて、貼り合わせ工程 P 8 により、支持基板としての単結晶シリコン基板 2 と貼り合わせ（図 13（a）参照）、剥離工程 P 9 によりイオン注入層 20a～20c の面で剥離を行ない単結晶シリコン薄膜 21 を形成する。

【0075】このとき、単結晶シリコン薄膜 21 の剥離

面は、イオン注入層 20 a ~ 20 c が段差を有する状態で形成されていることから、その段差に対応した段差を有する状態に階段状に形成されている（同図（b）参照）。次に、研磨工程 P 10 において、単結晶シリコン薄膜 21 の表面を研磨することにより、表面が平坦になるようにすると共に、絶縁膜 3 をストップとして研磨することで絶縁膜 3 が部分的に露出する時点で研磨を停止し、単結晶シリコン薄膜 21 は素子形成領域 4 に分離された状態に形成される（同図（c）参照）。

【0076】このような第 4 の実施形態によれば、イオン注入層形成工程 P 4 に先立ってイオン注入調整材料を形成する工程を実施することなく素子形成領域 4 を有する構成の SOI 基板 19 を得ることができるので、最終段階における研磨工程 P 10 で剥離面の凹凸を平坦にする研磨を要することを除いて、工程数を少なくして簡略化することができるようになる。

【0077】（第 5 の実施形態）図 14 および図 15 は本発明の第 5 の実施形態を示すもので、以下、第 2 の実施形態と異なる点について説明する。この実施形態においては、半導体基板として、図 15（c）に示すような構成の SOI 基板 22 を形成している。すなわち、支持基板としての単結晶シリコン基板 2 上に絶縁膜 3 が形成された構成で、その絶縁膜 3 の表面の所定領域に、半導体層として各々深さ寸法の異なる素子形成領域 23 a, 23 b, 23 c 等が形成された構成である。

【0078】これは、SOI 基板 22 として、絶縁膜 3 で絶縁分離された状態で膜厚の異なる素子形成領域 23 a ~ 23 c が形成された構成のものであり、これにより、形成する素子それぞれに対応して必要な膜厚の素子形成領域 23 a ~ 23 c を提供することができ、形成しようとする素子を最適な膜厚で形成して電気的特性の向上を図ることができ、設計面では設計の自由度の向上を図ることができるものである。

【0079】このような SOI 基板 22 の製造方法について簡単に説明する。なお、製造工程としては第 2 の実施形態と略同じである。まず、パターンエッチング工程 P 1 では、前述と同様にしてエッチング処理を行なうが、このとき、形成しようとする素子形成領域 23 a ~ 23 c の膜厚に対応して高さ寸法を設定する（図 14（a）参照）。すなわち、凹部 12 f の深さ寸法は共通となるように設定し、凸部 12 g, 12 h, 12 i の位置が異なるようにエッチングを行なう。この場合、エッチング処理は、各深さ寸法に対応して複数段階に分割して行なう。

【0080】次の熱酸化工程 P 2 では、前述同様にして熱酸化を行なって熱酸化膜 13 を段差のある面に形成する（同図（b）参照）。次に、多結晶シリコン膜形成工程 P 3 を実施してイオン注入調整部材としての多結晶シリコン膜 15 を形成する。これは前述したと同様の原理により、単結晶シリコン基板 12 の面が略平面となるよ

うに形成する。この後、イオン注入層形成工程 P 4 を実施して所定深さにイオン注入層 14 を形成する（同図（c）参照）。

【0081】この後、多結晶シリコン膜剥離工程 P 5 にて、多結晶シリコン膜 15 を剥離し、続く酸化膜形成工程 P 6 により、熱酸化膜 13 の面上に CVD 法によって平坦化処理用に形成し、研磨工程 P 7 により平坦な面を形成するように研磨処理を行なう（同図（d）参照）。続いて、貼り合わせ工程 P 8 にて支持基板である単結晶シリコン基板 2 と貼り合わせを行ない（図 15（a）参照）、剥離工程 P 9 にて熱処理を行なうことにより、単結晶シリコン薄膜 24 を剥離形成する（同図（b）参照）。この後、研磨工程 P 10 により、絶縁膜 3 が露出するまで研磨処理を行なうことにより、単結晶シリコン薄膜 24 を素子形成領域 23 a ~ 23 c に絶縁分離した状態にして SOI 基板 22 を形成する（同図（c）参照）。

【0082】このような第 5 の実施形態によれば、膜厚の異なる素子形成領域 23 a ~ 23 c を設けた構成の SOI 基板 24 とすることができるので、素子設計の自由度が向上し、電気的特性の向上を図ると共に、最適な素子を作り込むことができるので、集積度の向上にも貢献できるようになる。

【0083】本発明は、上記実施形態にのみ限定されるものではなく、次のように変形また拡張できる。絶縁膜 3 は、酸化膜 16 に加えて多結晶シリコン膜などを積層した構成としてこの多結晶シリコン膜を研磨することにより平坦化するようにしても良い。

【0084】半導体層用基板としては、単結晶シリコン基板 12 以外に、単結晶シリコン基板にエピタキシャル層を積層したものを用いても良いし、あるいは、単結晶シリコン基板の表面に多孔質を形成し、これにエピタキシャル層を積層形成した基板を用いることもできる。

【0085】第 1 ~ 第 4 の実施形態の構成の SOI 基板 1, 19 と第 5 の実施形態の構成の SOI 基板 22 とを合成した構成の半導体基板を構成することもできる。すなわち、複数の素子形成領域がそれぞれ異なる深さで形成され、且つ素子形成領域内部において異なる深さで形成された領域を有する構成の SOI 基板である。

【0086】半導体層は、素子形成領域 4 に絶縁分離されたもの以外に、支持基板の表面に全面に渡って連続的に形成されたものとしても良く、この場合に、面内の領域毎に異なる膜厚となるように形成されたものとすることができる。

【0087】イオン注入調整材料としては、多結晶シリコン膜以外に、フォトレジストや金属膜などイオン阻止能がシリコンと異なるものを用いることもできる。この場合には、段差に応じたイオン注入深さが面内で同等となるように各領域毎に膜厚を調整して形成することにより 1 回のイオン注入を行なうことでイオン注入層を形成

することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態を示す S O I 基板の模式的断面図

【図 2】M O S トランジスタの模式的断面図

【図 3】製造工程の概略的な説明図

【図 4】S O I 基板の製造工程を示す模式的断面図（その 1）

【図 5】S O I 基板の製造工程を示す模式的断面図（その 2）

【図 6】異なる絶縁分離を行なった場合の図 1 相当図

【図 7】本発明の第 2 の実施形態における S O I 基板の製造工程を示す模式的断面図（その 1）

【図 8】S O I 基板の製造工程を示す模式的断面図（その 2）

【図 9】本発明の第 3 の実施形態を示す図 3 相当図

【図 10】S O I 基板の製造工程を示す模式的断面図

【図 11】本発明の第 4 の実施形態を示す図 3 相当図

【図 12】S O I 基板の製造工程を示す模式的断面図（その 1）

【図 13】S O I 基板の製造工程を示す模式的断面図（その 2）

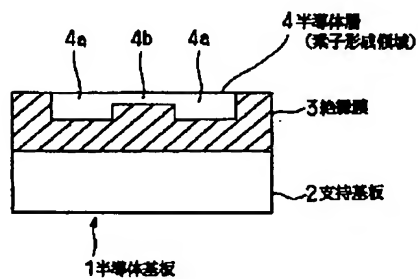
【図 14】本発明の第 5 の実施形態における S O I 基板の製造工程を示す模式的断面図（その 1）

【図 15】S O I 基板の製造工程を示す模式的断面図（その 2）

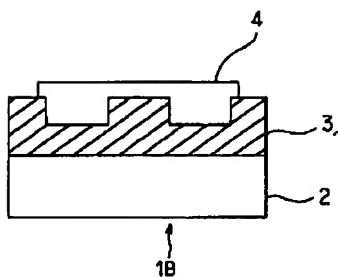
【符号の説明】

1, 1 A, 1 B, 1 9, 2 2 は S O I 基板（半導体基板）、2 は単結晶シリコン基板（支持基板）、3 は絶縁膜、4, 2 3 a, 2 3 b, 2 3 c は素子形成領域（半導体層）、4 a はソース、ドレイン領域、4 b はチャネル領域、5 は M O S トランジスタ、6 はゲート酸化膜、7 はゲート電極、8 はサイドウォール、9 はシリサイド層、1 2 は単結晶シリコン基板（半導体層用基板）、1 3 は熱酸化膜、1 4, 2 0 a, 2 0 b, 2 0 c はイオン注入層、1 5 は多結晶シリコン膜（イオン注入調整材料）、1 6 は酸化膜（平坦化処理材料）、1 7, 2 1, 2 4 は単結晶シリコン薄膜、1 8 は L O C O S 膜（選択酸化膜）である。

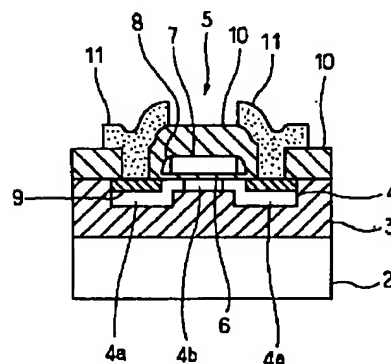
【図 1】



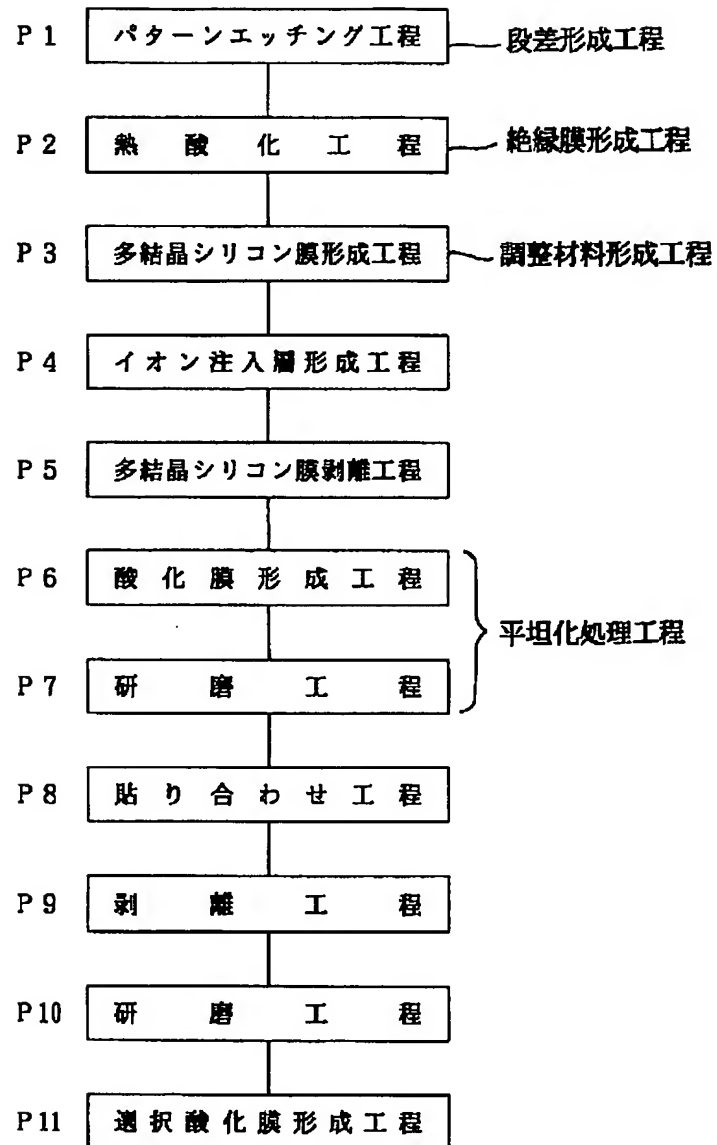
【図 6】



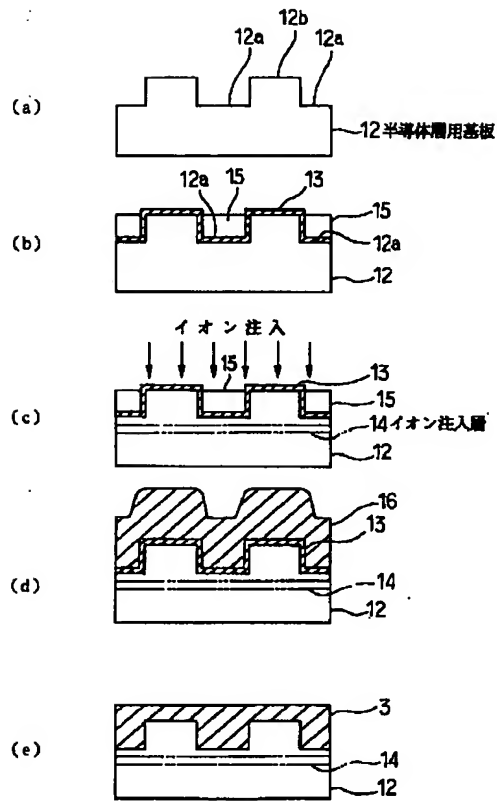
【図 2】



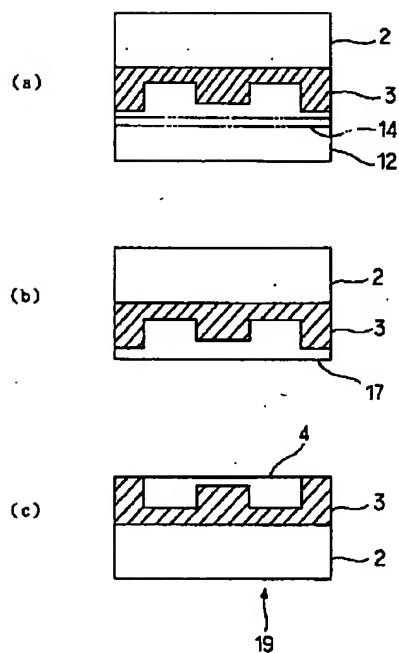
【図 3】



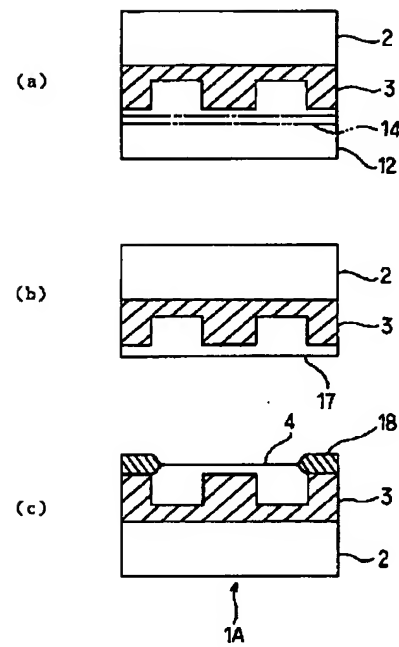
【図4】



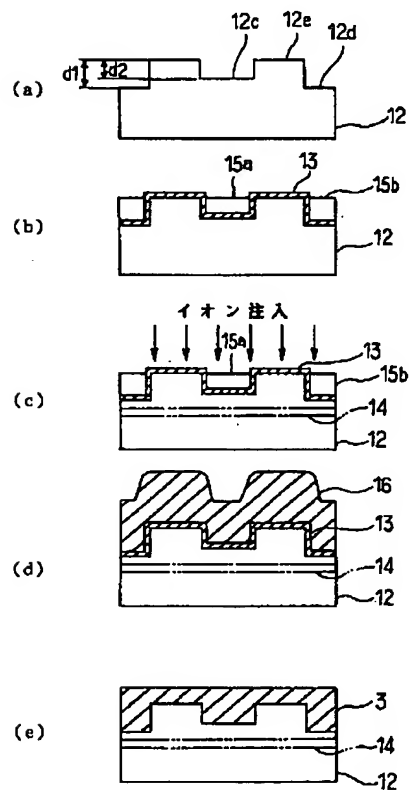
【図8】



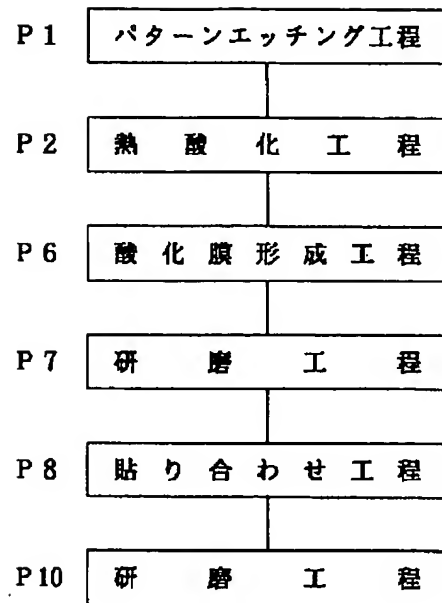
【図5】



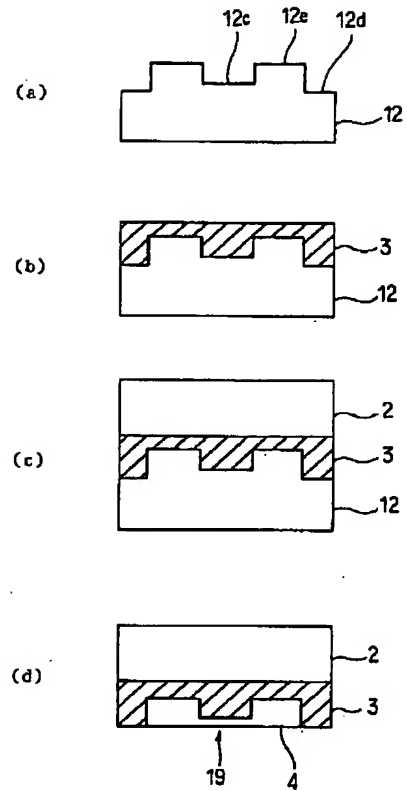
【図7】



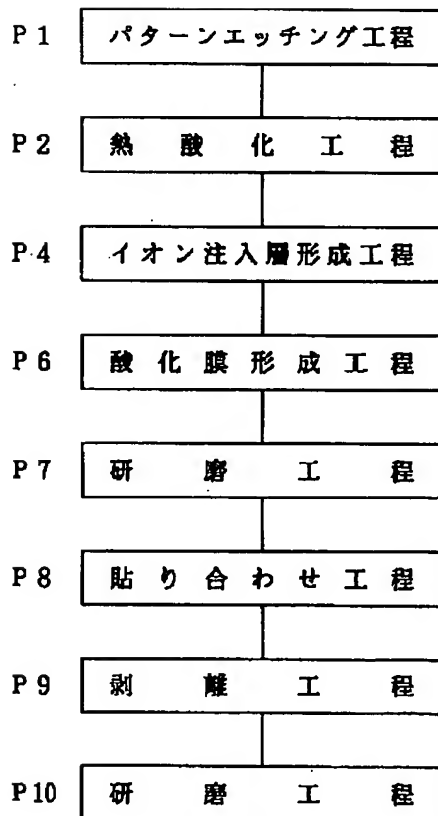
【図 9】



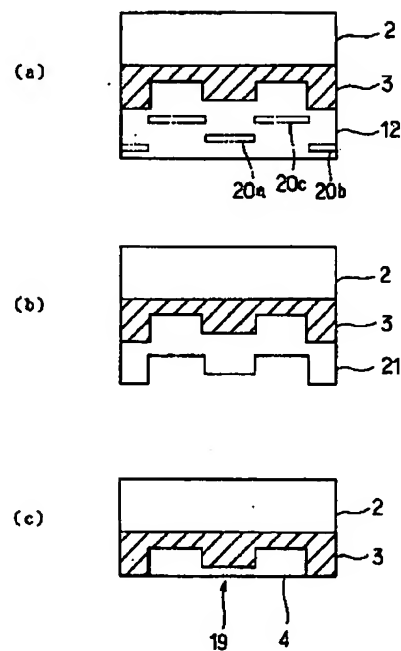
【図 10】



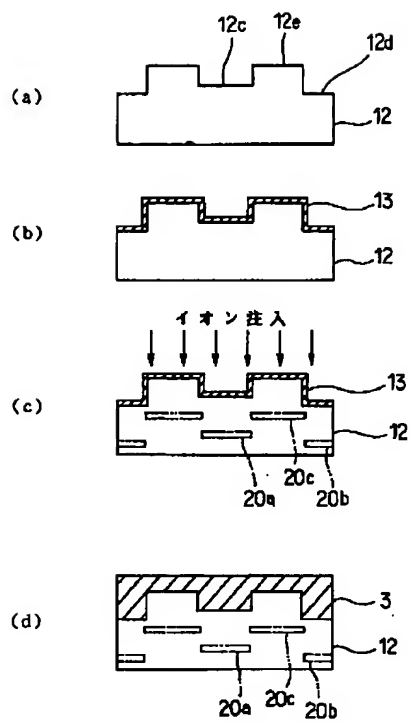
【図 11】



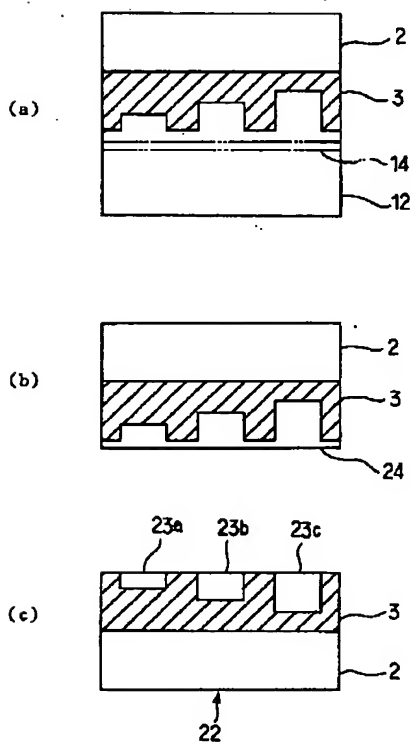
【図 13】



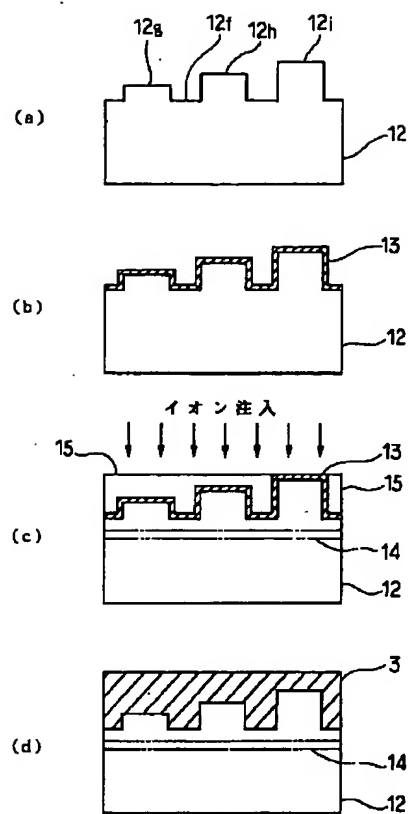
【図12】



【図15】



【図14】



(16)

特開平 1 1 - 1 4 5 4 8 1

フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H O 1 L 29/78

6 2 7 D